

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02130277 **Image available**

SILICON-GERMANIUM MIXED CRYSTAL THIN FILM CONDUCTOR

PUB. NO.: 62-047177 [JP 62047177 A]

PUBLISHED: February 28, 1987 (19870228)

INVENTOR(s): KOTADO SETSUO

APPLICANT(s): ANRITSU CORP [330013] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 60-186900 [JP 85186900]

FILED: August 26, 1985 (19850826)

INTL CLASS: [4] H01L-035/30

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R095 (ELECTRONIC MATERIALS -- Semiconductor Mixed Crystals);
R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 527, Vol. 11, No. 231, Pg. 82, July
28, 1987 (19870728)

ABSTRACT

PURPOSE: To obtain a thin film conductor which has a low resistance and small temperature coefficient, and can be readily accumulated and formed on an insulating substrate, by forming a thin film of mixed crystals of Si and Ge in which an amorphous phase and an ultrafine crystal phase having prescribed conductivity exist and a pair of electrodes on the thin film.

CONSTITUTION: A thin film 2 made of mixed crystals of Si and Ge in which an amorphous phase and an ultrafine crystal phase exist on a substrate (made of glass or semiconductor) 1 by a CVD method by $\text{SiH}(\text{sub } 4)$, $\text{GeH}(\text{sub } 4)$, P-type or N-type dopant. A pair of electrodes made of a thin film such as platinum are formed thereon. The thin film 2 has conductivity of at least $1\text{S.Cm}(\text{sup } -1)$, thermoelectric generation of $10.\mu\text{V}$, and the temperature coefficient of its conductivity is $1\%\text{K}(\text{sup } -1)$ or lower.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
007067158

WPI Acc No: 1987-067155/198710

XRAM Acc No: C87-027897

XRPX Acc No: N87-050925

Thin film conductor and method - contains silicon and germanium and has
microcrystalline and amorphous phases

Patent Assignee: ANRITSU CORP (ANRI)

Inventor: KODATO S; KODATO S L

Number of Countries: 005 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2179790	A	19870311	GB 8620261	A	19860820	198710 B
FR 2586505	A	19870227	FR 8612090	A	19860826	198714
JP 62047177	A	19870228	JP 85186900	A	19850826	198714
DE 3628513	A	19870619	DE 3628513	A	19860822	198725
US 4766008	A	19880823	US 8768273	A	19870630	198836
GB 2179790	B	19881214				198850
US 4835059	A	19890530	US 86896131	A	19860812	198926
DE 3628513	C2	19951012	DE 3628513	A	19860822	199545

Priority Applications (No Type Date): JP 85186900 A 19850826

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 4766008	A	13		
US 4835059	A	13		
DE 3628513	C2	14	H01B-001/04	

Abstract (Basic): GB 2179790 A

Thin film conductor contains Si and Ge as major components and has a structure contg. both microcrystalline and amorphous phases. It pref. contains no more than 100 wt. pts. Si per wt. pts. Ge and is formed of Ge-Ge, Si-Ge and Si-Si bonds. The film is pref. formed by plasma enhanced CVD.

USE/ADVANTAGE - In microelectronic devices having a sensor function. Film has useful properties such as high dark conductivity, large gauge factor, small temp coefft. of dark conductivity, large thermo-electric power, etc. 8/9

Title Terms: THIN; FILM; CONDUCTOR; METHOD; CONTAIN; SILICON; GERMANIUM;
MICROCRYSTALLINE; AMORPHOUS; PHASE

Derwent Class: L03; P42; P73; S02; S03; U11; U14

International Patent Class (Additional): B05D-003/06; B32B-015/00;

C23C-016/22; G01L-001/22; H01B-001/04; H01C-007/06; H01L-021/20;

H01L-023/54; H01L-027/12; H01L-029/16; H01L-035/34; H01L-041/22

File Segment: CPI; EPI; EngPI

⑫ 公開特許公報(A)

昭62-47177

⑪ Int. Cl.⁴
H 01 L 35/30識別記号 庁内整理番号
7131-5F

⑬ 公開 昭和62年(1987)2月28日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 シリコン・ゲルマニウム混晶薄膜導電体

⑮ 特 願 昭60-186900

⑯ 出 願 昭60(1985)8月26日

⑰ 発 明 者 古 田 土 節 夫 東京都港区南麻布5丁目10番27号 安立電気株式会社内

⑱ 出 願 人 アンリツ株式会社 東京都港区南麻布5丁目10番27号

⑲ 代 理 人 弁理士 小池 龍太郎

明 細 書

混晶薄膜導電体。

1. 発明の名称

シリコン・ゲルマニウム混晶薄膜導電体

2. 特許請求の範囲

1) 絶縁性基板と、該基板上に形成され、アモルファス相と微結晶相とが混在するようなシリコンとゲルマニウムの混晶で成る薄膜と、該薄膜に電流を入出力するための一対の電極とを備えたシリコン・ゲルマニウム混晶薄膜導電体。

2) 前記薄膜は少なくとも $1 \text{ S} \cdot \text{cm}^{-1}$ の導電率を有することを特徴とする特許請求の範囲第1項記載のシリコン・ゲルマニウム混晶薄膜導電体。

3) 前記薄膜は少なくとも $10 \mu\text{V}/^\circ\text{C}$ の熱電能を有することを特徴とする特許請求の範囲第1項または第2項記載のシリコン・ゲルマニウム混晶薄膜導電体。

4) 前記薄膜は導電率の温度係数が $1\%/^\circ\text{C}$ 以下であることを特徴とする特許請求の範囲第1項、第2項または第3項記載のシリコン・ゲルマニウム

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、電子回路に使用するための導電体に係り、特にマイクロエレクトロニクスの範囲に属するもので、特殊な新しい原子的構造を備えた二種類の半導体材料の混晶からなる薄膜導電体に関する。この新しい特殊な複数種類の半導体混晶薄膜導電体は、半導体材料で成るにも拘らず、比較的大きな導電率をもち、しかもその温度係数が金属並みに小さく、他方では熱電能(ゼーベック係数の大きさ)が半導体のように大きいという特徴を備えていることが発見されたから、微細な熱電効果素子を構成することができ、電力測定用のパワーセンサの構成素材とすることができる。また、機械的ひずみ(あるいは圧力)によってその抵抗が変化するエラスト抵抗効果(あるいはピエゾ抵抗効果)を備えているから、ひずみあるいは力のセンサの構成素材とすることができる。すな

わち、各種のセンサ：エレクトロニクス用素材を提供するものである。

〔従来の技術〕

センサ エレクトロニクス用素材として、各種の金属、合金、単元素半導体、化合物半導体、半金属、アモルファス材料などが数多く知られているところである。従来のこの種の素材の特性を見ると、いずれも一つに特長があると、他に欠点があるという具合であった。たとえば、単元素半導体であるp形シリコンのピエゾ抵抗効果は合金のニッケルクロムの 10^3 倍も大きい、抵抗の温度係数が 10^3 倍も大きいという具合であった。ゼーベック係数と導電率あるいはその温度係数についても同様なことが言える。

〔発明が解決しようとする問題点〕

半導体の特長であるセンサ エレクトロニクスに利用したい優れた特性と、低抵抗（高導電率）およびその温度係数が小さいという金属的性質をともに備え、ガラス基板はじめあらゆる基板上に堆積でき、しかも加工がし易いという生産技術上

- 3 -

品薄膜導電体はたとえば、結晶化度（微結晶が全体に占める体積割合）は10%から99%までと推定され、微結晶はシリコンとゲルマニウムの混晶であることが観測され、その平均粒径は 50\AA から 500\AA 程度と見込まれ、導電率は少なくとも $0.1\text{ S}\cdot\text{cm}^{-1}$ 以上であり、導電率の温度係数は1%/°以下である。しかも、熱電能（ゼーベック係数）の大きさは少なくとも $10\text{ }\mu\text{V}/\text{K}$ を有し、エラスト抵抗効果（ピエゾ抵抗効果）の大きさを示すゲージ率（抵抗変化率/ひずみ）は少なくとも4を備えている。

〔実施例〕

この発明の薄膜導電体をマイクロエレクトロニクスの技法の一つであるCVD（Chemical Vapour Deposition）法で製造する方法について述べる。市販のプラズマCVD炉を用いる。熱CVD炉あるいは光CVD炉でも差支えないし、製造装置は要するにアモルファス相を形成できるものであればよい。ここで説明する実施例では、p形の導電体を形成するものとする。なお、n形も同様な方

- 5 -

の要請をすべて備えたマイクロエレクトロニクス用導電体を実現することがこの発明の課題である。

〔問題点を解決するための手段〕

この発明では薄膜導電体として、シリコンとゲルマニウムの混晶で成る微結晶相と、シリコンおよびゲルマニウムのアモルファス相との混在するような相の素材が、高い導電率をもち、その温度係数が小さく、しかも、大きなゼーベック効果とエラスト抵抗（ピエゾ抵抗）効果を示すという発明者により発見された事実を利用する。すなわち、絶縁性をもつ基板上に、上記アモルファス相と微結晶相とが混在するようなシリコンとゲルマニウムの混晶で成る薄膜をマイクロエレクトロニクスの技法（たとえばプラズマCVD法、光CVD法など）で作成し、その薄膜の両端に一對の電極を備えて、電流の入・出力端を形成して、上記素材の電流現象（輸送現象）をセンサに利用できる構造とする。

〔作用〕

こうして作られたシリコンとゲルマニウムの混

- 4 -

法で形成できる。

炉内に導入する原料ガスはシラン(SiH_4)とゲルマン(GeH_4)の混合ガスを用いる。p形ドーパントとして水素希釈のジボラン(B_2H_6)を添加する。堆積条件の一例を表-1に示す。基板には少なくとも表面が絶縁性をもつ基板、例えばガラス基板、マイカポリミドフィルムはじめ各種半導体基板もしくは表面が絶縁材で覆われた金属板が用いられる。

表-1

サンプル	ガス濃度比 ($\text{SiH}_4/\text{GeH}_4$)	放電圧力 (Torr)	放電パワー (W)	放電パワー密度 (W/cm ²)	基板温度 (°C)
A	1	2	15	0.02	380
B	1	2	80	0.11	380
C	1	2	300	0.40	380

第1図は、表-1の条件でガラス基板上に堆積したアモルファスシリコン・ゲルマニウム薄膜のX線回折波形を示す図である。図中、横軸は回折角 2θ を、又、縦軸は回折強度（任意単位）を、(ref)はシリコンおよびゲルマニウム単体の結晶

- 6 -

粉末試料の回折ピーク値のデータ(ΔSTMカードによる)をそれぞれ示す。又、波形A, BおよびCは、放電パワーの大きさがそれぞれ15W, 80W, 300Wで堆積させた場合の各X線回折パターンである。放電パワーが大きくなるに従って、堆積したアモルファスシリコン・ゲルマニウム膜は完全なアモルファス相から微結晶相とアモルファス相とが混在した相に変化していくようすが示されている。又、(111), (220) および (311) に鋭い回折ピークが表われており、(111), (220) および (311) に強く配向していることが示されている。又、各回折パターンのピーク波形およびピーク値の回折角よりシリコン・ゲルマニウム混晶相より構成されていることが示されている。微結晶相とアモルファス相とが混在したアモルファスシリコン・ゲルマニウム薄膜の結晶化度は、X線回折パターンをアモルファス相と微結晶相とに分離することにより、計算で求めることができる。手紙の記述は省略する。

第2図は、アモルファスシリコン・ゲルマニウ

- 7 -

波形Bおよび波形Cは鋭いピークを有することにより、微結晶相とアモルファス相とが混在していることが示されている。これらの結果は、第1図で示したX線回折パターンで得られた結果とよく対応している。また、波形Bおよび波形Cにおけるピーク値の各ラマンシフト量が 290 cm^{-1} , 400 cm^{-1} および 490 cm^{-1} 近辺に得られることにより、アモルファスシリコン・ゲルマニウム薄膜はゲルマニウム-ゲルマニウム結合、シリコン-ゲルマニウム結合およびシリコン-シリコン結合より構成されていることが示されている。又、第1図で示したX線回折パターンと第3図で示したラマンスペクトルより、アモルファスシリコン・ゲルマニウム薄膜は、シリコン微結晶相のみあるいはゲルマニウム微結晶相のみよりなるクラスターはほとんど存在せず、シリコン・ゲルマニウム混晶よりなる微結晶相が構成されていることが示されている。

第4図は、表-1の条件でガラス基板上に堆積したアモルファスシリコン・ゲルマニウム薄膜の

- 9 -

Δ薄膜の結晶化度が放電パワー密度の大きさに依存することを示す図で、X線回折パターンより求めた実験結果の一例である。図中、横軸は放電パワー密度 $P_d(\text{W/cm}^2)$ の大きさを、縦軸は結晶化度 $V_c(\%)$ をそれぞれ示している。この実験結果では、放電パワー密度の大きさが 0.1 W/cm^2 より大きくなると結晶化度が急激に増加していることが示されている。

第3図は、前記表-1の条件でガラス基板上に堆積したアモルファスシリコン・ゲルマニウム薄膜のレーザラマンスペクトルの一例を示す図である。測定法としては直角散乱法を用いた。図中、横軸はラマンシフト(cm^{-1})を、縦軸はラマン強度(任意単位)をそれぞれ示している。また、波形A, BおよびCは、放電パワーの大きさが15W, 80Wおよび300Wでそれぞれ堆積させた場合の各ラマンスペクトルである。波形Aはブロードなパターンを示し、ガラス基板上に堆積されたアモルファスシリコン・ゲルマニウム薄膜が完全なアモルファス相より構成されていることを、さらに、

- 8 -

暗導電率およびゼーベック係数の測定に用いたサンプル形状を示す図で、図中、1はガラス基板、2はアモルファスシリコン・ゲルマニウム薄膜、3は白金薄膜、4はゼーベック係数測定用サンプルをそれぞれ示す。測定に用いたアモルファスシリコン・ゲルマニウム薄膜の膜厚は約 $1\mu\text{m}$ である。また、 $T+4T$ は温接点を、 T は冷接点を示す。パターン形成は通常のホトリソグラフィ技術を用いて、また、白金薄膜形成は真空蒸着法を用いた。

第5図は、第4図に示したゼーベック係数測定用サンプル4を用いて得られたアモルファスシリコン・ゲルマニウム薄膜の暗導電率の温度特性の一例を示す図である。図中、横軸は、絶対温度の逆数($1/T$)を、縦軸は、暗導電(σ_0)をそれぞれ示している。波形Aは放電パワーの大きさ15Wで堆積したアモルファス相のみで構成されるアモルファスシリコン・ゲルマニウム薄膜の暗導電率の温度特性を示す図で、低温領域では $(1/T)^{\frac{1}{2}}$ に比例し、高温領域では $1/T$ に比例することから、低温領域ではホッピング伝導により、また、高温領域では

- 10 -

バンド伝導により電気伝導機構が支配されている。これは、従来のアモルファスシリコン薄膜で得られている温度特性の例と同じ傾向を示しているが、暗導電率の絶対値の大きさが2～3桁向上しているのが大きい特徴といえる。波形Bおよび波形Cは放電パワーの大きさ80Wおよび300Wで堆積した結晶化度が30%および90%の微結晶相を含んだアモルファスシリコン・ゲルマニウム薄膜の暗導電率の温度特性を示す図である。暗導電率の大きさが $100\text{S}\cdot\text{cm}^{-1}$ 以上と半金属に等しい程大きいことと共に、温度による変化が1%/℃以下と非常に小さいことが大きな特徴といえる。このように暗導電率が温度変化による影響を受け難いことは、ICチップ上等に微小な抵抗体等を形成する上で極めて有利である。なお、図示しなかったが、図-1による堆積条件で形成したアモルファスシリコン・ゲルマニウム薄膜では、暗導電率が $18\cdot\text{cm}^{-1}$ 以上のものでは、温度係数が1%/℃以下と極めて小さいことが確認されている。

第6図は、第4図に示したゼーベック係数測定

-11-

以上のものが得られている。なお、図中、5はガラス基板、6はアモルファスシリコン・ゲルマニウム薄膜、7,7'はオーミック電極、8,8'はAlリボン線をそれぞれ示す。オーミック電極材としてはニクロム・金多層薄膜を用いている。又、矢印はひずみゲージ測定のため、外部より加えた応力の方向を示している。

以上で述べたアモルファスシリコン・ゲルマニウム薄膜のプラズマCVD法による堆積条件は、 $\text{SiH}_4/\text{GeH}_4$ の流量比、放電圧力、放電パワー、基板温度に依存することが確認されており、図-1に示した以外でも形成でき、次に示すような範囲内で、例えば $\text{SiH}_4/\text{GeH}_4 = 0 \sim 100$ 、放電圧力 $0.5 \sim 10$ (Torr)、放電パワー密度 $0.1 \sim 10\text{W}/\text{cm}^2$ 、基板温度 $300 \sim 500^\circ\text{C}$ で形成できる。又、光CVD法においては、低温形成、例えば基板温度が 200°C 前後でも形成できる。

【効果】

以上詳説したように、本発明によるアモルファスシリコン・ゲルマニウム薄膜導電体は、シリコ

-13-

用サンプル4を用いて測定したアモルファスシリコン・ゲルマニウム薄膜の暗導電率-ゼーベック係数特性を示す図で、横軸に暗導電率 $\sigma_0(\text{S}\cdot\text{cm}^{-1})$ の大きさを、縦軸にゼーベック係数 $\alpha(\mu\text{V}/\text{K})$ の大きさを示す。図中、白丸印はアモルファスシリコン・ゲルマニウム薄膜のゼーベック係数の大きさを示す。なお、参考として従来得られているアモルファスシリコン薄膜のゼーベック係数を黒丸印で示した(特願昭57-052807で開示したデータである)。アモルファスシリコン・ゲルマニウム薄膜では、暗導電率 σ_0 が $100\text{S}\cdot\text{cm}^{-1}$ 以上におけるゼーベック係数として $100 \sim 160(\mu\text{V}/\text{K})$ と大きな値が示されている。この値は、従来のアモルファスシリコン薄膜と比較して1桁以上の改善がはかられている。このアモルファスシリコン・ゲルマニウム薄膜を用いれば、高性能な熱電対はじめ高周波パワーセンサ、赤外線センサ、温度センサ等が構成でき幅広いセンサへの応用が期待できる。

また、第7図に示すひずみゲージ測定用サンプル9を形成し、ゲージ率を測定した結果、4～10

-12-

ン・ゲルマニウム混晶よりなるアモルファス相と微結晶相とを混在させることにより、次に示すような固有の効果をも有する。

- (1) 暗導電率が $1\text{S}\cdot\text{cm}^{-1}$ 以上(最大値 $700\text{S}\cdot\text{cm}^{-1}$)と大きな値が得られるので小形の抵抗体を絶縁基板上に形成できる。
- (2) 暗導電率が $100\text{S}\cdot\text{cm}^{-1}$ 以上でもゼーベック係数が $100 \sim 160\mu\text{V}/\text{K}$ 以上あるので、高性能な熱電対、高周波パワーセンサ、赤外線センサ、温度センサ等を構成することができる。
- (3) 暗導電率が $100\text{S}\cdot\text{cm}^{-1}$ 以上と大きいのかかわらず、ゲージ率が4～10以上と大きいので、高性能な歪みセンサ、圧力センサ、ロードセル、タッチセンサを構成できる。
- (4) 暗導電率の温度係数が1%/℃以下と非常に小さいので、温度補償を必要としない抵抗体はじめ高周波パワーセンサ、赤外線センサ、歪みセンサ、圧力センサ、ロードセル等を構成できる。
- (5) プラズマCVD法等比較的簡単な方法で形成でき、かつ、結晶化度、暗導電率等を容易に制御

-14-

でき、かつ、ICプロセスと両立するので、従来のICの中に、温度センサ、歪みセンサ、圧力センサ等を容易に組み込むことができるので高性能ICを構成できる。又、温度センサ、歪みセンサ等を組み合わせた三次元センサを容易に、かつ、安価に構成できる。

(6) 薄膜形成技術により、いろいろな絶縁性基板上に、広い面積で自由な平面形状にわたり導電体を形成できる。

4. 図面の簡単な説明

第1図は、アモルファスシリコン・ゲルマニウム薄膜のX線回折パターンを示す図、第2図は、結晶化度の放電パワー依存性を示す図、第3図はレーザラマンスペクトルを示す図、第4図はゼーベック係数測定用サンプル4を示す図、第5図は暗導電率の温度依存性を示す図、第6図は暗導電率-ゼーベック係数特性を示す図、第7図は歪みゲージ測定用サンプル9を示す図である。

図中、1、5は各ガラス基板、2、6はアモル

ファスシリコン・ゲルマニウム薄膜、3は白金電極、4はゼーベック係数測定用サンプル、7,7'はオーミック電極、8,8'はAuリボン線、9は歪みゲージ測定用サンプルをそれぞれ示す。

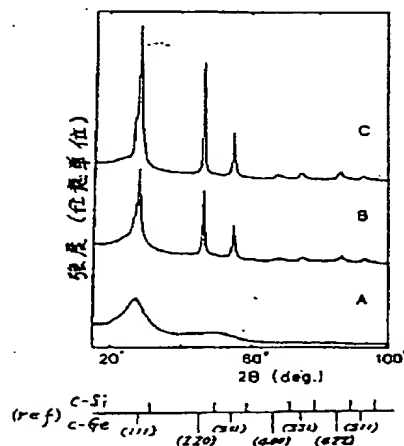
特許出願人 安立電気株式会社

代理人 弁理士 小池 順太郎

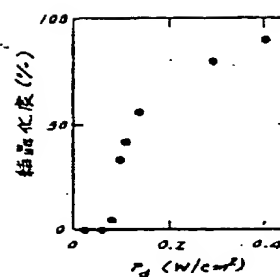
-15-

-16-

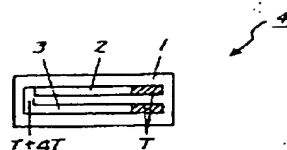
第1図



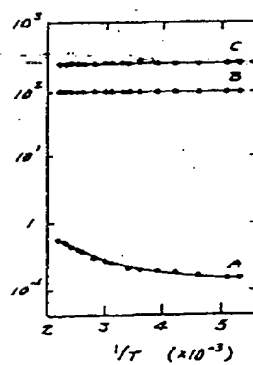
第2図



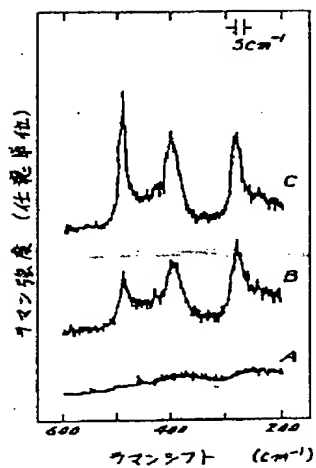
第4図



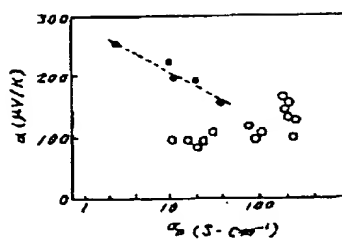
第5図



第3図



第6図



第7図

